MEMS

MEMS Based Interdigitated Capacitive Strain-gauge

팀원 : 김민규, 김준호, 신효섭, 천병권, 한범구

2022. 12. 09

Contents

I. Introduction

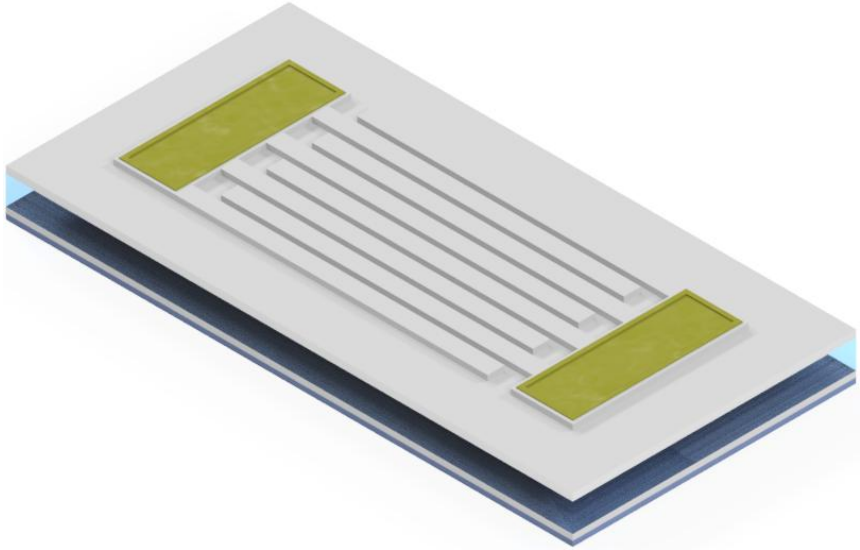
- Device concepts
- Principle of operation

II. Fabrication

- Fabrication process
- Process conditions

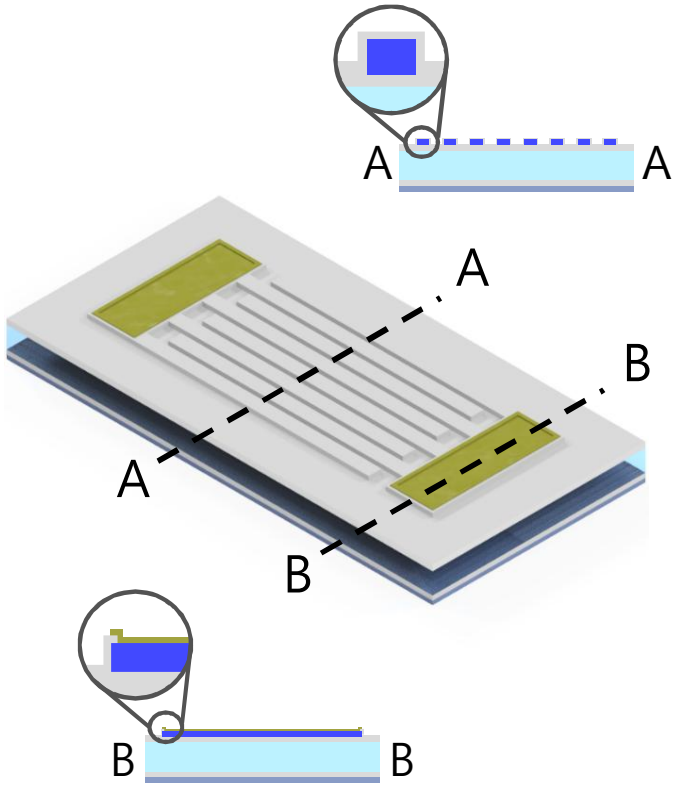
III. Conclusion

- Source of idea
- Characteristics of strain-gauge

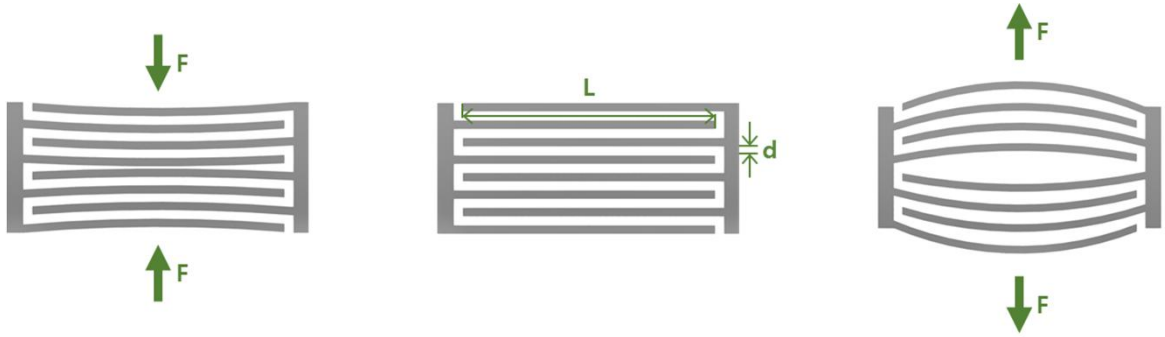


Introduction

Device concept



Principle of operation



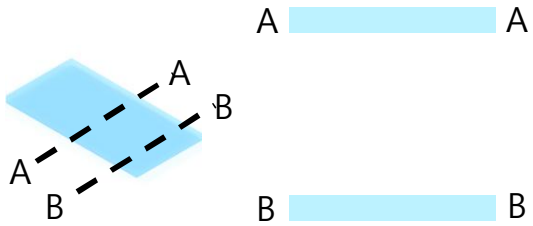
$$C = \varepsilon_0 \varepsilon \frac{A}{d} = \varepsilon_0 \varepsilon t \frac{L}{d}$$

- ✓ Interdigitated electrode을 갖는 strain-gauge 제작
- ✓ 하중의 크기와 방향에 따른 전극 간 거리 변화를 이용하는 capacitance type 활용

Fabrication

PART 1

(a) Silicon bare wafer

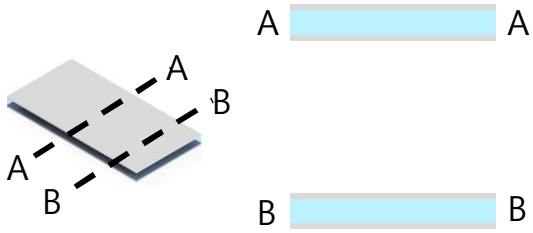


(b) Deposition of SiO_2 (LPCVD)

[Condition]

Temperature: 620℃

Deposition thickness: 1um

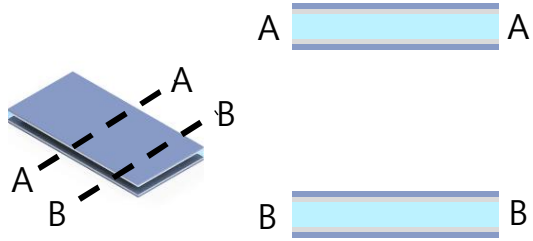


(c) Deposition of poly Si (LPCVD)

[Condition]

Temperature: 620℃

Deposition thickness: 1um



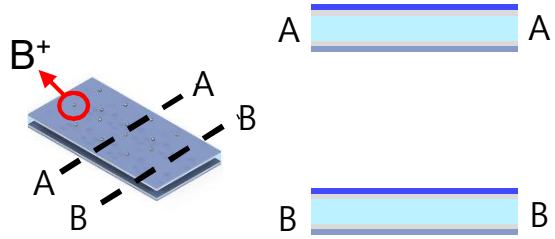
(d) Boron implantation & annealing

[Condition]

Doping concentration:

$1.0\times 10^{19}/cm^3$

Annealing: 1000℃, 30sec

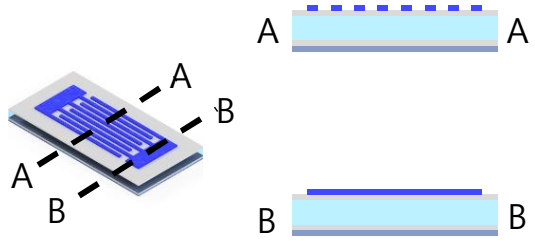


- ✓ Si wafer에 LPCVD 공정을 활용하여 SiO_2, poly Si layer 증착
- ✓ Ion implantation 공정을 통해 poly Si layer 도핑

Fabrication

PART 2

(e) Patterning poly Si (DRIE)



[Detail process]

a. **Spin-coat** positive PR on poly Si

b. **Exposure** with aligned patterning mask

c. **Develop** the portion of PR exposed to light

d. **Etch** the portion of poly Si

(DRIE: Deep Reactive Ion Etching)

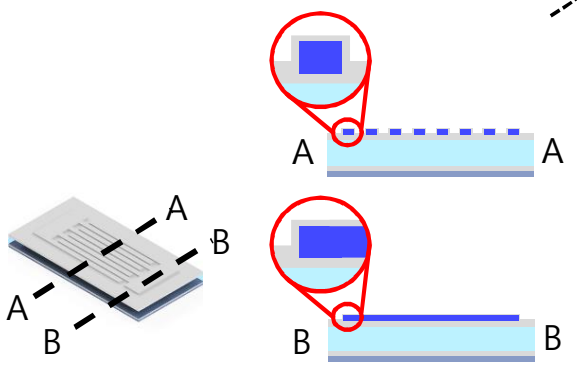
e. **Remove** the PR

[Condition]

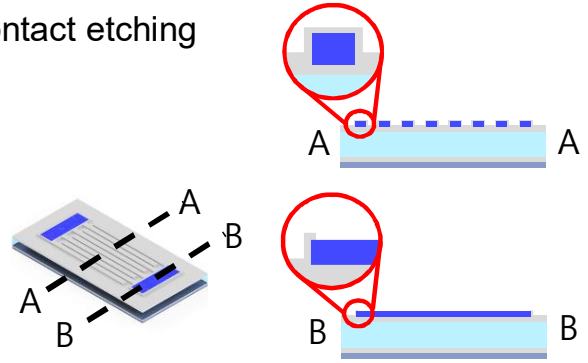
Temperature: 400℃

Deposition thickness: 0.5um

(f) Deposition of PE-oxide (PECVD)



(g) Contact etching



Photolithography process as shown in PART 2-e

(**Etch** the portion of PE-oxide)

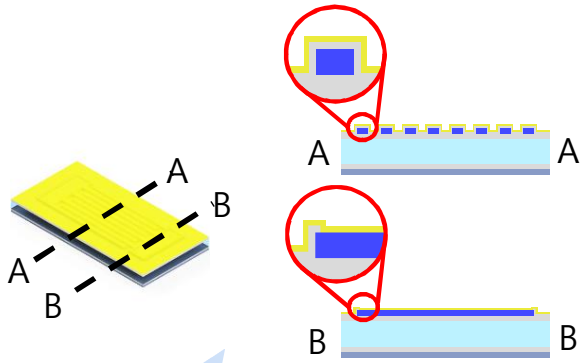
✓ **Photolithography 공정을 통해 interdigitated electrode patterning**

✓ **PECVD 공정으로 PE-oxide 증착 후, contact etch를 통해 contact hole 제작**

Fabrication

PART 3

(h) Deposition of Ti/TiN (sputtering) & annealing



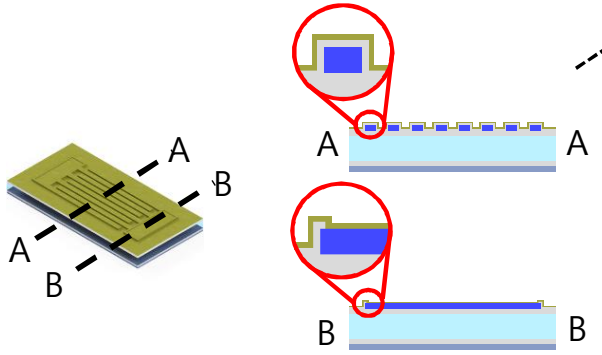
[Condition]

a. Ti/TiN layer deposition (By sputtering)

Deposition thickness: Ti 100Å, TiN 300Å

b. Annealing: 730℃, 30sec

(i) Deposition of Al (sputtering)

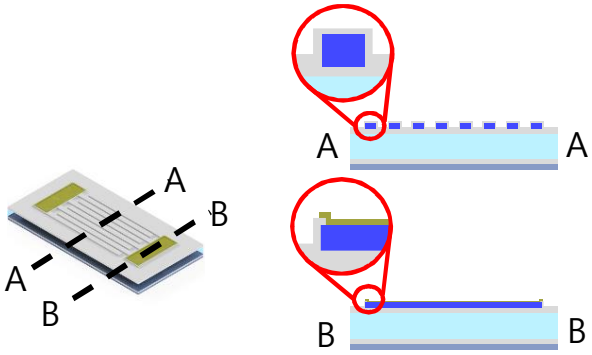


[Condition]

Al layer deposition (By sputtering)

Deposition thickness: Al 8000Å

(j) Patterning Ti/TiN/Al (DRIE)



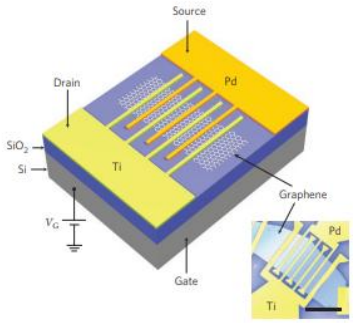
Photolithography process as shown in PART 2-e

(Etch the portion of Ti/TiN/Al)

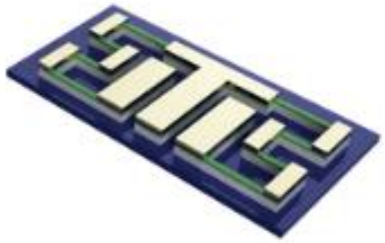
- ✓ **Ti/TiN layer와 Al layer를 sputtering을 통해 순차적으로 증착**
- ✓ **Photolithography 공정을 통해 전극 연결에 필요한 부분만 patterning**

Conclusion

Source of idea



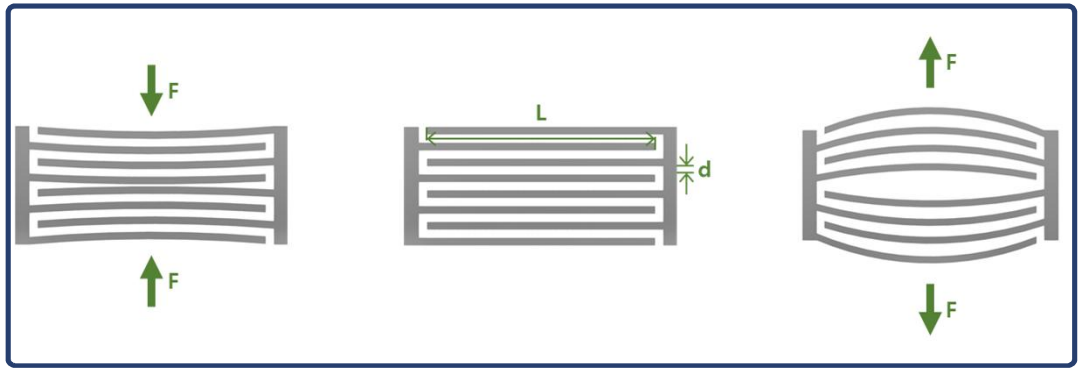
✓ **Interdigitated electrode** 활용 광 검출기 제작

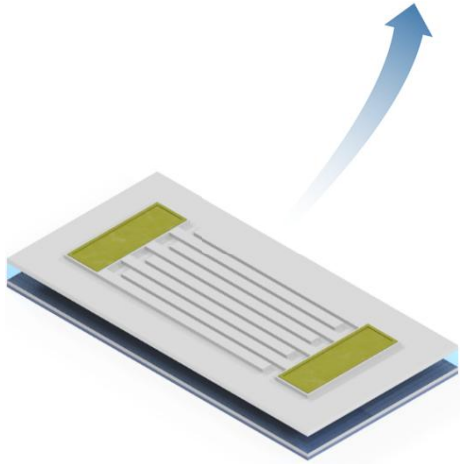


✓ **MEMS 공정** piezoresistive **strain-gauge** 제작

MEMS-Based Interdigitated Capacitive Strain-gauge

Characteristics of strain-gauge





✓ **Capacitive strain-gauge**

기존의 resistive type에 비해 민감도 상승

✓ **Passivation layer on interdigitated electrodes**

전극을 보호층으로 덮어 쇼트 등의 문제 해결

Reference

Kim, J. H., Han, J. H., Park, C. W., & Min, N. K. (2020). Enhancement of withstand voltage in silicon strain gauges using a thin alkali-free glass. *Sensors*, *20*(11), 3024.

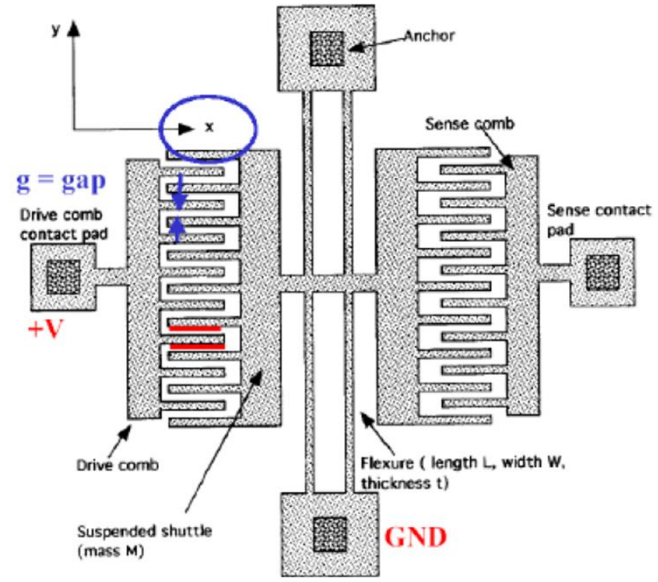
Mueller, T., Xia, F., & Avouris, P. (2010). Graphene photodetectors for high-speed optical communications. *Nature photonics*, *4*(5), 297-301.

Bu H.S, Cheng, Stephen Z.D., Wunderlich, Bernhard (1988). New etching method for poly(ethylene oxide). *Polymer,* 1988, Vol29, September

Q&A

모티브를 가져온 아이디어와 원리

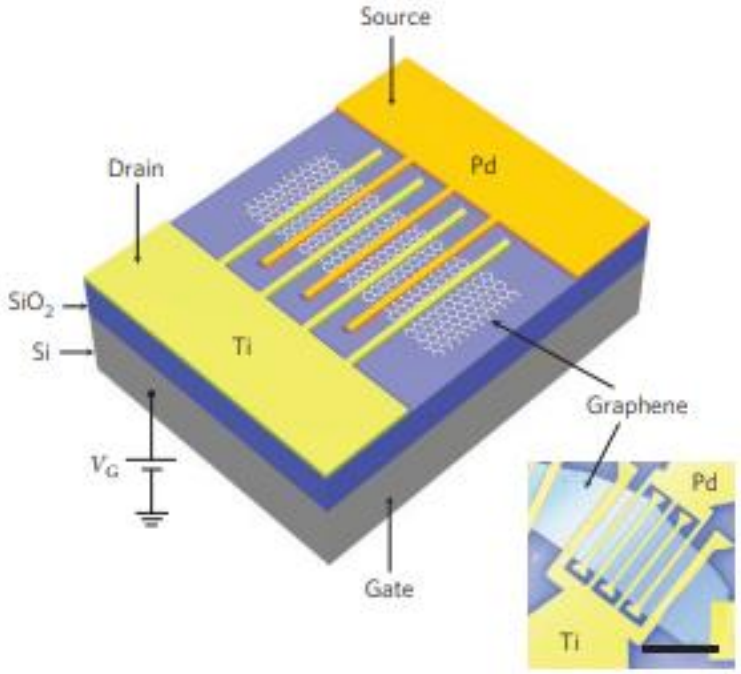
Q&A



Capacitor Sensor의 원리를 응용한 Lateral Resonator (comb Drive)의 Capacitance Sensing을 응용

$$C = \varepsilon \frac{Area}{Distance}$$

$$W = \int_{Volume} \frac{DE}{2} dV \qquad F = -\frac{dW}{dx}$$

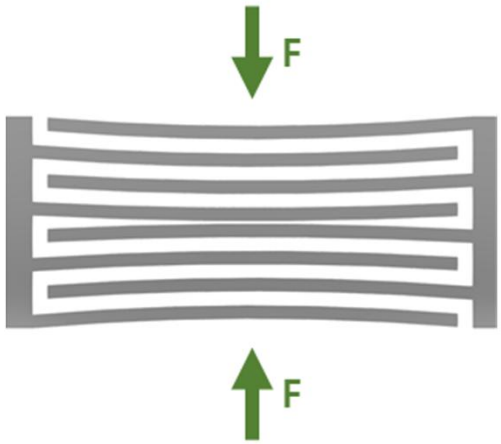


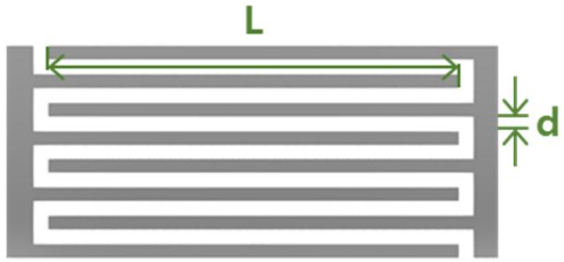
Interdigitated Electrode를 갖는 Geometry를 이용하여 Capacitive Strain-gauge를 제작하는 것이 가능하다는 아이디어를 착안하였습니다.

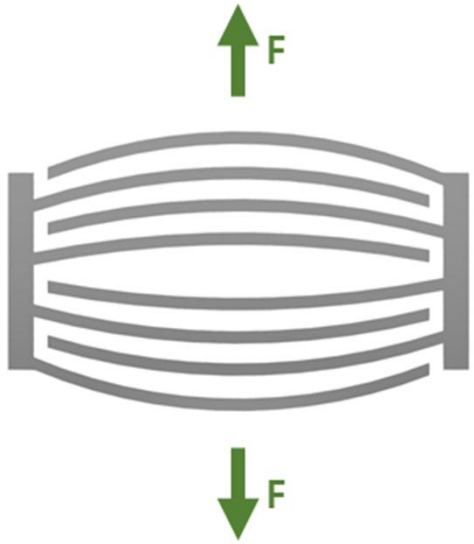
$$C = \varepsilon_0 \varepsilon \frac{A}{d} = \varepsilon_0 \varepsilon t \frac{L}{d}$$

힘의 방향을 수평 방향이 아닌 수직 방향인 이유

Q&A







$$C = \varepsilon_0 \varepsilon \frac{A}{d} = \varepsilon_0 \varepsilon t \frac{L}{d}$$

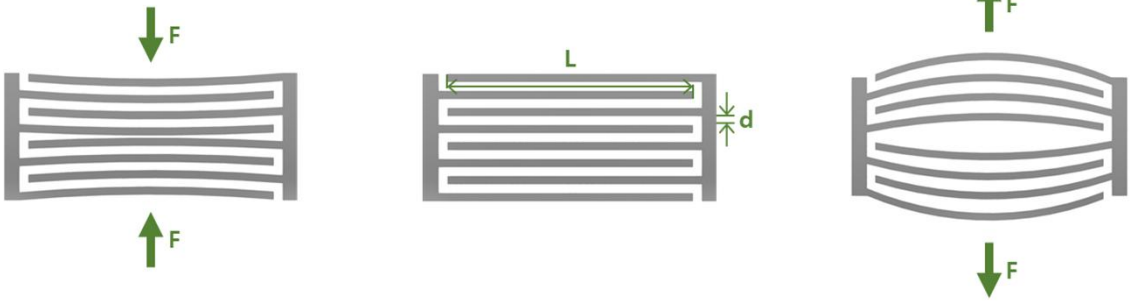
$\varepsilon_0 = 8.845 \times 10^{-14} F/cm$: Permiability (유전율)
ε : 물질의 유전율 비례상수

기존의 Comb Drive의 경우에는 위의 수식에서 A=Area가 변하는 것을 이용하여 설계가 진행되었던 것에 반해 MEMS Based Interdigitated Capacitive Strain-gauge의 경우에는 d=Gap Distance가 변하는 것을 이용하여 설계가 진행되었습니다.

힘을 수평방향을 하였을 경우, 위의 수식에서 A=Area, L=Overlap Length, d=Gap Distance 세 변수가 모두 상당한 양만큼 변하게 되어 통제가 불가능하다.
하지만 힘을 수직방향으로 했을 경우에는 A=Area, L=Overlap Length의 변화가 매우 작아 변화되는 d=Gap Distance가 변하는 양을 이용하여 Strain 을 측정하기 위해 위의 방식을 채택하였습니다.

Geometry상 Electrode끼리 붙을 경우에 대비한 작동방식

Q&A

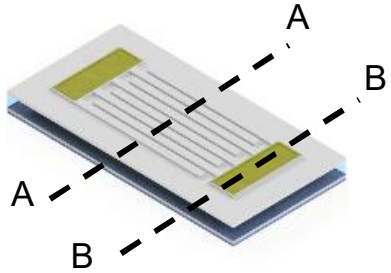


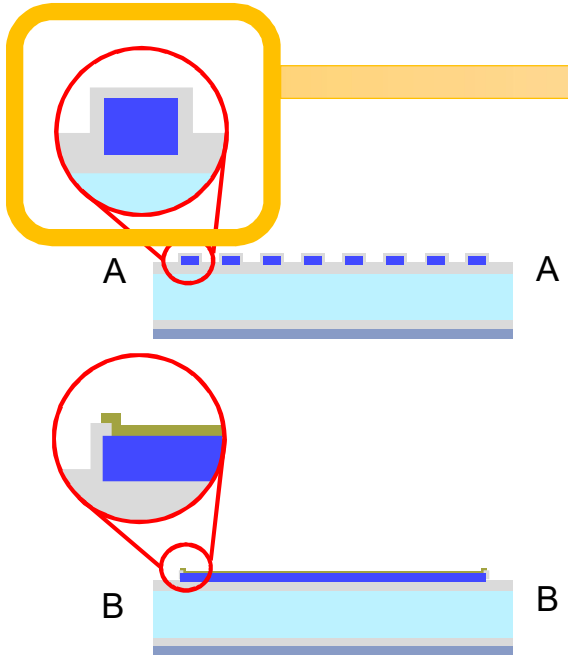
If, **Compression**

If, **Tension**

What if, Interdigitated Electrode Contact?

No Geometrical Problem

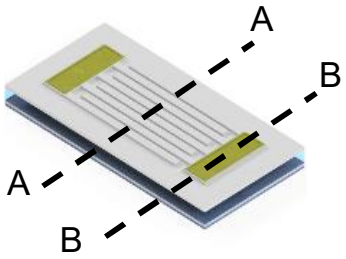


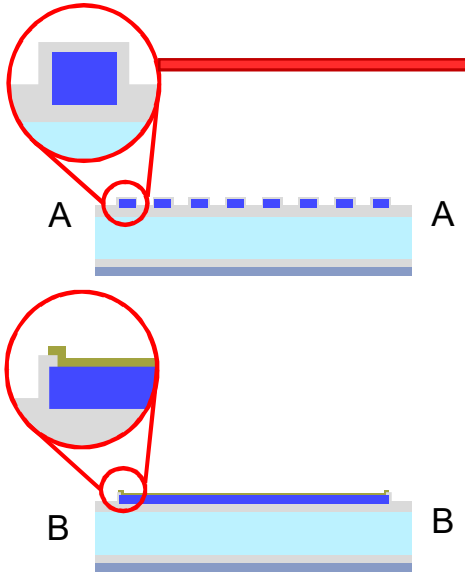


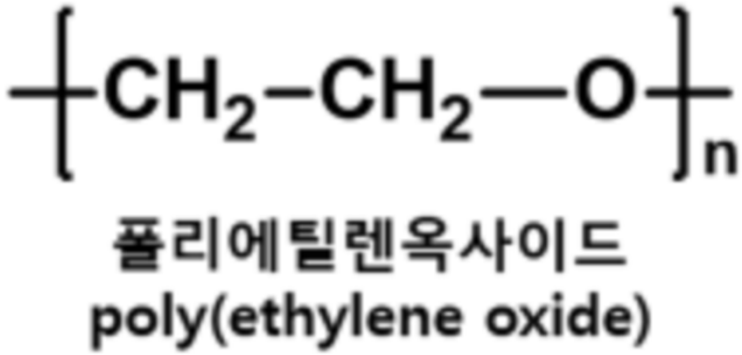
Interdigitated Electrode끼리 붙으면 Short가 발생할 수 있는데 이를 방지하기 위하여 PE-Oxide(절연체)를 Deposition하여 통전이 되지 않도록 설계하였습니다.

산화막이 Capacitance에 주는 영향

Q&A







$$C = \varepsilon_0 \varepsilon \frac{A}{d} = \varepsilon_0 \varepsilon t \frac{L}{d}$$

$\varepsilon_0 = 8.845 \times 10^{-14} F/cm$: Permiability (유전율)
ε : 물질의 유전율 비례상수

MEMS와 같이 매우 작은 Device의 경우 전극에 아주 작은 먼지가 떨어지더라도 Short가 발생할 수 있는데 산화막을 절연층으로 씌워서 보호하여 보호할 수 있고 바로 옆 전극과의 합선도 방지 할 수 있습니다.

Poly(ethylene oxide)의 유전상수에 의해 Capacitance에 영향을 주게 되게 되는데 이를 고려해 위의 수식을 적용하면 Capacitance를 Control할 수 있습니다.

(b) 왜 LPCVD 공정을 사용했는가

Q&A

저항 특성이 우수하고 Silicon과의 interface이 quality 가 우수한 SiO2를 증착했다.

외부에서 산화막을 가져오지 않고 특정 온도에서 성장시키는 Thermal oxidation 사용 시 1100°C의 고온에서 성장하여 막질이 우수하고 Si표면에 등각하게 성장한다.

반면 CVD로 Deposition 시 증착 메커니즘 상 mass transfer로 인해 직진성을 가지고 있기 때문에 증착되지 않는 면이 생기는 이슈가 발생하지만 기판 표면을 소모하지 않아 기판에 영향을 끼치지 않고 SiO2막을 형성할 수 있다.

또한 압력을 낮춰 reaction control을 하는 동시에 고온공정을 진행하는 LPCVD방식은 균일도가 떨어지는 APCVD의 단점을 보호해 우수한 step-coverage를 얻을 수 있고 박막의 quality 와 uniformity가 우수하며 많은 wafer를 한 번에 처리할 수 있어 생산성 측에서 유리하여 SiO2, Poly-Si등의 박막 형성용으로 가장 보편적인 증착 공정이다.

형성된 SiO2는 불순물로부터 wafer(Si)를 보호, 절연하는 역할을 한다.

SiO2 절연막 위에 doping을 통해 일함수 조절을 통해 threshold voltage(Vth)를 정하기 쉽고 SiO2랑 접촉 특성이 좋은 Poly-Si를 증착하였다.

(C) Gate를 Poly-Si로 구성한 이유

Q&A

절연막 위에 게이트 단자로는 SiO2와 동일한 계열이라 접촉 특성이 좋고, 일함수 조정이 가능해 threshold voltage(Vth)를 정하기 쉽고 Poly-Si를 증착하였다.

이전에 주로 사용되던 Al은 금속으로 일함수 조정이 어렵고 녹는점이 낮아 후속 공정에 어려움이 있어 잘 사용되지 않는다.

최근에는 반도체의 사이즈가 작아지면서 SiO2가 얇아져 누설전류가 발생하여 high-K material을 gate oxide로 사용하게 되는데 HFO2와 같은 gate oxide가 gate의 Poly-Si와 만나 SiO2가 생성되어 기생 capacitance가 생기게 된다. 이로 인해 d값이 오히려 늘어남에 따라 총 capacitance 값이 작아져 high-K material을 gate oxide로 사용하는 통해 gate로 다시 metal을 주로 사용하고 있다.



$$C = \varepsilon_0 \varepsilon \frac{A}{d} = \varepsilon_0 \varepsilon t \frac{L}{d}$$

(d) Boron implantation & annealing

Q&A

부도체인 실리콘에 불순물(이온)을 첨가하여 전도성을 갖게 doping 한다. Dopant 인 Boron을 불순물로 사용하여 P-type 을 띄게 된다.

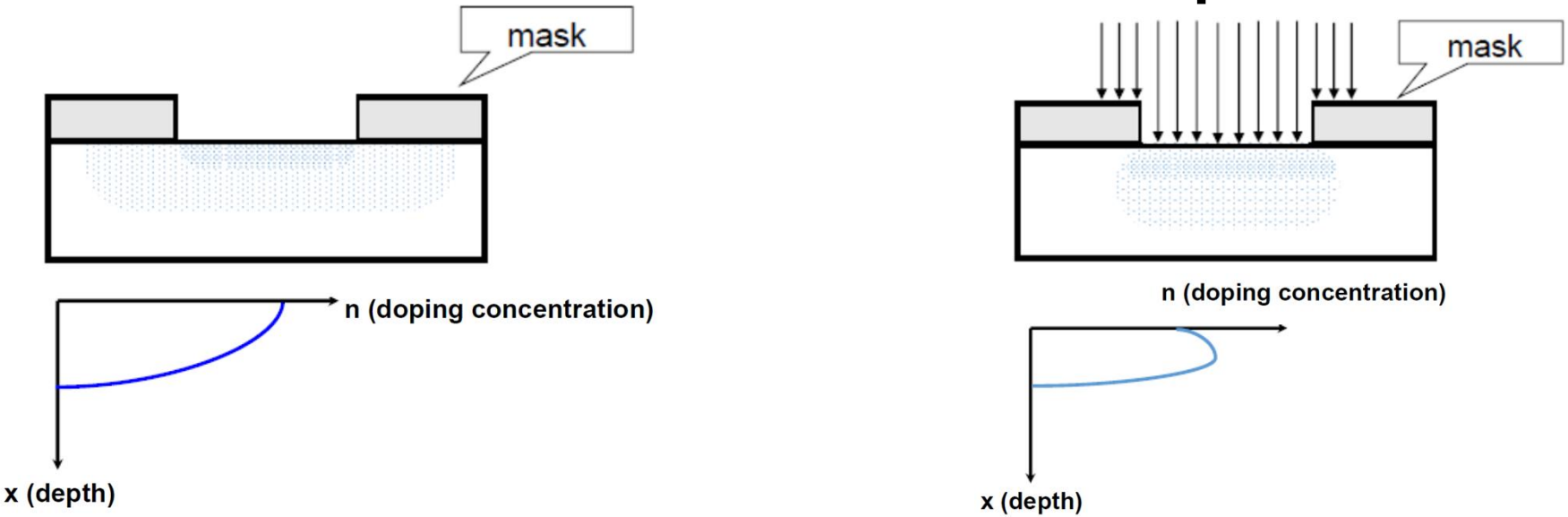
Ion implantation 이후 불순물의 침투로 기존 실리콘 원자들이 자리에서 이탈하고 불순물 원자가 그 자리를 차지해야 하는데 충돌로 인하여 정 위치에 들어가지 못한다.

이러한 계면 상의 데미지를 복구하고자 annealing 하여 열처리를 통해 의도한 위치로 불순물 원자를 보내고 확산 깊이를 조절한다.

(d) Diffusion 공정 대신 Ion Implantation을 이용한 이유

Q&A

Diffusion vs Ion Implantation



	확산 공정	Ion implantation
Mechanism	Doping source 확산	강한 전압으로 Ion 주입
Process	Two step process : Predeposition + Drive-in	Ion implantation + Annealing process
장점	- Doping 공정 중 발생 damage가 없음 - 확산 방정식을 통한 깊이 측정이 용이함 - Batch process : High throughput	- Lateral penetration(Lateral diffusion) 감소 - 정밀한 도핑 농도 및 Profile, 깊이 조절 가능 (Dose, Energy) - 저농도 Doping 가능 → 저항 형성 용이 - 저온 공정 : PR Mask layer 사용 가능, 다양한 Mask 사용 가능 - Abrupt junction 형성 가능
단점	- Doping profile이 고체 용해도에 의해 제한을 받음 → 저 농도의 Doping 자체가 어려움 - 저농도 형성이 어려움 (긴 drive-in 시간 필요) - Lateral diffusion 큼	- Target material에 damage 발생 : Annealing process가 필수 - 복잡하고 비싼 설비 - Single process : Low throughput - Safety hazards (High voltage, Toxic gas, Radiation)

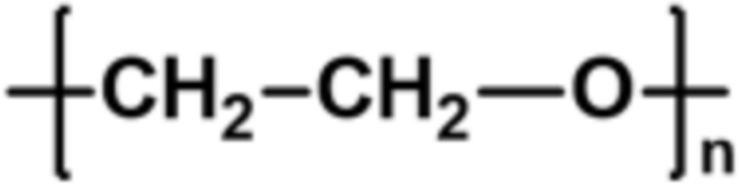
(f) 절연층으로 SiO2 대신 PE-Oxide를 사용한 이유

Q&A

[Condition]

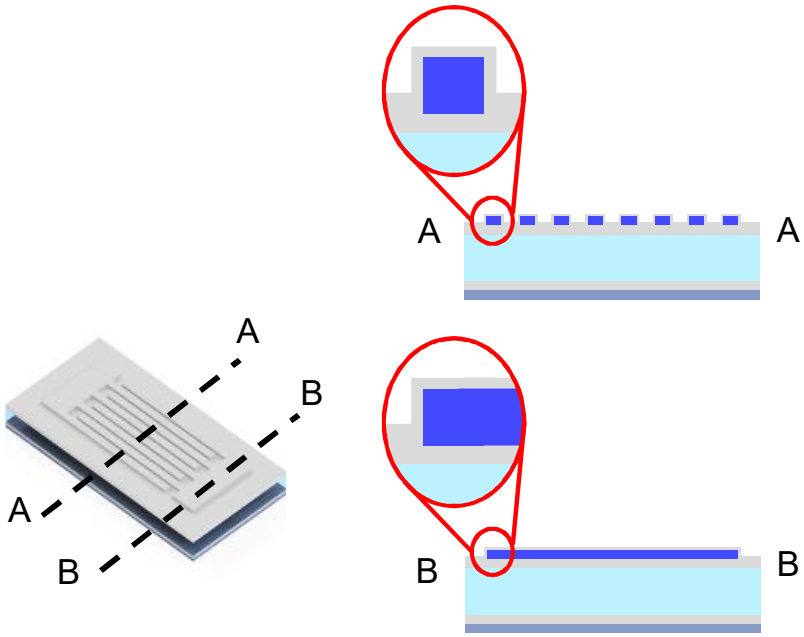
Temperature: 400℃

Deposition thickness: 0.5um



폴리에틸렌옥사이드
poly(ethylene oxide)

(f) Deposition of PE-oxide (PECVD)



Thermal Oxidation을 이용하여 산화막을 만들 경우 공정이 온도가 900~1100℃에서 작동하는데 그 경우 Implantation되어 있는 이온이 더욱 깊게 들어가는 문제가 있고 단층이 고르지 못하게 되기 때문에 Thermal Oxidation을 이용한 Oxidation 대신 PE-Oxide(폴리에틸렌 옥사이드)를 CVD하여 절연층으로 만들었다.

(h) Deposition of Ti/TiN (sputtering) & annealing & (i) Deposition of Al

Q&A

Al은 실리콘 산화막과 부착성이 좋고 가공성이 뛰어나지만 실리콘과 만나면 계면에 섞이려 하는 성질이 있다. 이로 인해 접합면이 파괴되는 spike현상을 방지하기 위해 Al내에 Si를 미리 1~2wt%첨가하여 확산을 방지하고 둘 사이의 장벽 역할을 하는 BarrierMetal을 먼저 증착 한 후에 Al배선을 증착했다.

BarrierMetal 증착 이후 Al배선을 증착하는 데, 알루미늄 괴를 진공 chamber에 넣어 감압하여 만들어진 알루미늄 입자를 웨이퍼에 통과시켜 박막을 형성하는 Evaporator 방법이 있지만 근래에는 플라즈마를 이용한 PVD인 Sputtering이 많이 사용된다.

만약 기본 소자와 금속 배선의 연결 부분인 contact의 크기가 작아 좁은 hole 형상을 가지게 되면 좁은 공간을 금속으로 채우기 어려워 텅스텐을 많이 사용하는데 이때는 CVD를 사용한다.

BarrierMetal에는 보편적으로 사용되는 Ti/TiN 구조로 증착했다.

TiN Deposition Process

$$6TiCl_4 + 8NH_3 \rightarrow 6TiN + 24HCl + N_2$$

$$2TiCl_4 + 2NH_3 + H_2 \rightarrow 2TiN + 8HCl$$

$$2TiCl_4 + N_2 + 4H_2 \rightarrow 2TiN + 8HCl$$

TiN : Diffusion Barrier

(i) Metalization으로 Cu를 사용하지 못한 이유

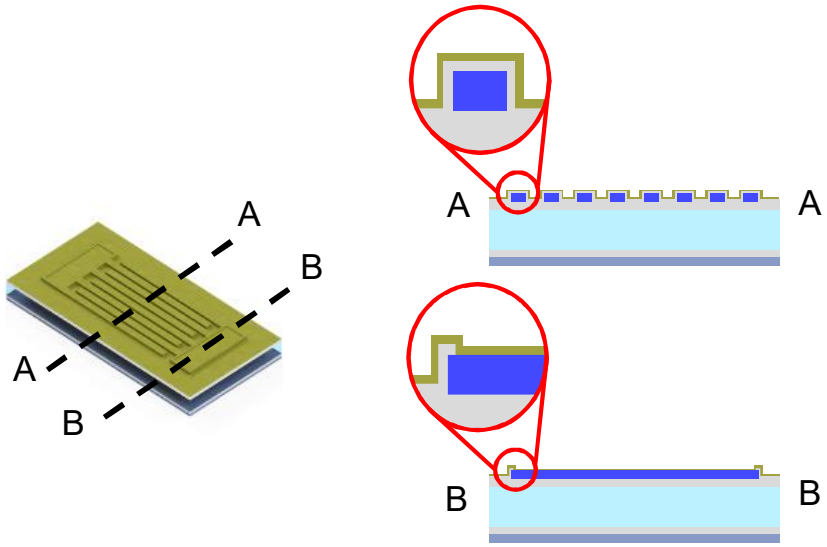
Q&A

[Condition]

Al layer deposition (By sputtering)

Deposition thickness: Al 8000Å

(i) Deposition of Al (sputtering)

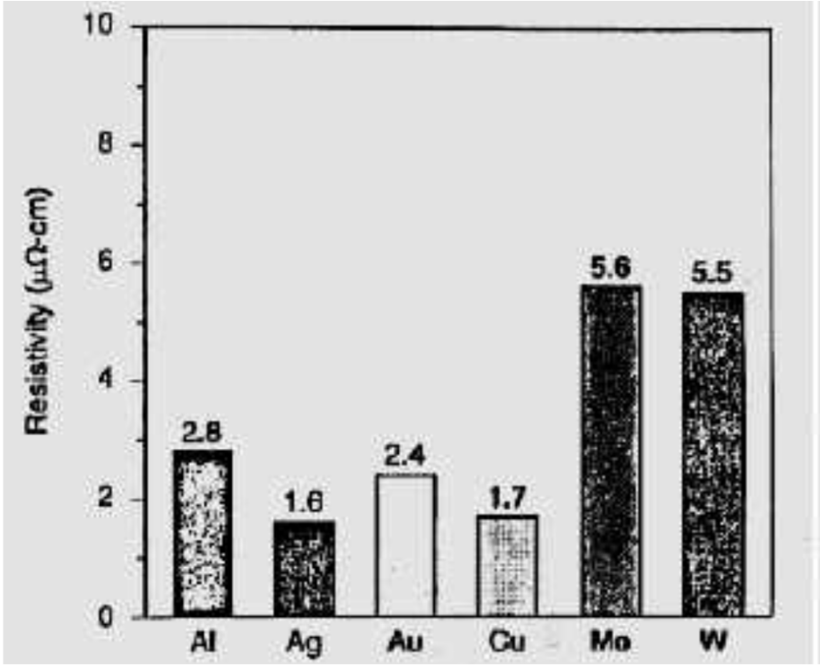


Aluminum (Al) : CVD공정이 가능

VS

Copper (Cu) : RIE공정이 불가

Because, Low Vapor Pressure
of By-Products

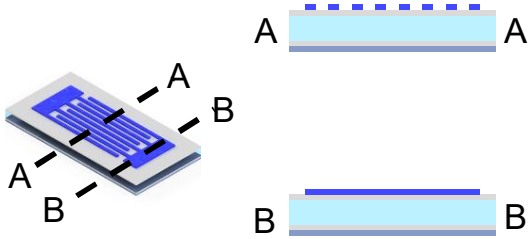


Cu(RIE불가), Ag, Au(귀금속)이므로
다음으로 Resistivity가 낮은 Al 사용

(e, g, j) Photolithography Process중 Etching : Etchant

Q&A

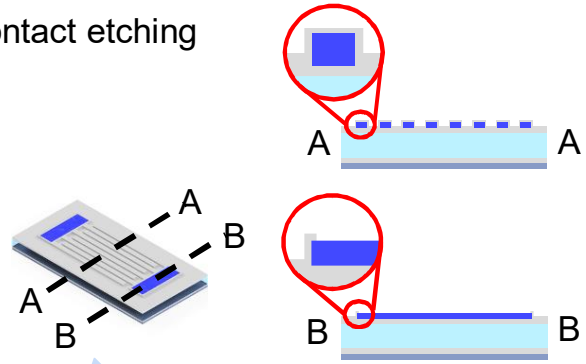
(e) Patterning poly Si (DRIE)



Photolithography process

Etch the portion of poly Si

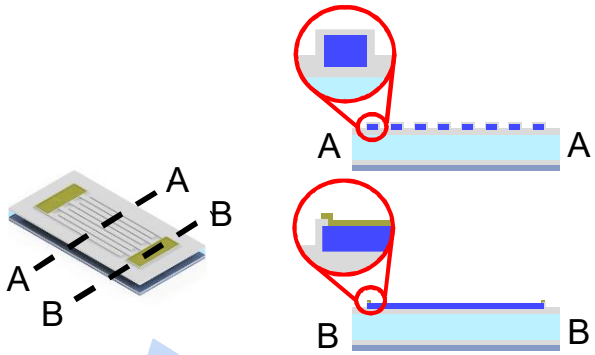
(g) Contact etching



Photolithography process as

Etch the portion of PE-oxide

(j) Patterning Ti/TiN/Al (DRIE)



Photolithography process

(**Etch** the portion of Ti/TiN/Al)

Poly-Si Etching

$CF_4 \rightarrow F^* + CF_3$

$CF_4 + e \rightarrow CF_3 + F^* + 2e$

$Si + 4F^* \rightarrow SiF_4 \uparrow$

PE-Oxide Etching

21wt% NaC_2H_5O in Ethanol

for 10 min at 298.2K

After this treatment, washing

Absolute Ethanol for 10min

Ti/TiN Etching

$TiCl_4$의 Boiling Point(℃ @1atm) : 136.4

Cl-Based(Cl_2, BCl_3) Etchant

Al Etching

$CCl_4 + e \rightarrow CCl_3^+ + Cl^* + 2e$

$Al + 3Cl^* \rightarrow AlCl_3 \uparrow$